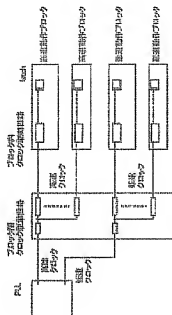


# SEMICONDUCTOR INTEGRATED CIRCUIT DEVICE

Patent number: JP2002033457 (A)  
 Publication date: 2002-01-31  
 Inventor(s): HIROSE KENJI, AJIOKA TOMOKI, HOSHI SATOSHI +  
 Applicant(s): HITACHI LTD +  
 Classification:  
 - international: G06F1/10; G06F15/78; G11C11/401; G11C11/407; G11C11/41; G11C11/413; H01L21/82; H01L21/822; H01L27/04; G06F1/10; G06F15/76; G11C11/401; G11C11/407; G11C11/41; G11C11/413; H01L21/70; H01L27/04; (IPC1-7); G06F1/10; G06F15/78; G11C11/401; G11C11/407; G11C11/41; G11C11/413; H01L21/82; H01L21/822; H01L27/04  
 - european:  
 Application number: JP20000217943 20000718  
 Priority number(s): JP20000217943 20000718

Abstract of JP 2002033457 (A)

**PROBLEM TO BE SOLVED:** To provide a semiconductor integrated circuit device in which transmission of clock is quickened while reducing skew between the clocks. **SOLUTION:** In a semiconductor integrated circuit device comprising a logic block including a logic circuit operating by receiving a clock formed at a clock supply circuit, high speed transmission of clock is realized by providing at least two wiring routes extended in parallel as clock wiring routes to the clock supply circuit and the logic block and transmitting the same clock, providing the clock supply circuit with clock drive circuits independent for the clock wiring, and providing the logic block with clock input circuits independent of the clock wiring.



Data supplied from the *espacenet* database — Worldwide

(19) 日本国特許庁 (J P)

## (12) 公開特許公報 (A)

(11) 特許出願公開番号

特開2002-33457

(P2002-33457A)

(43) 公開日 平成14年1月31日 (2002.1.31)

(51) Int.Cl. <sup>7</sup>	識別記号	F I	ページ数 (参考)
H 0 1 L 27/04		G 0 6 F 15/78	5 1 0 P 5 B 0 1 5
	21/822	H 0 1 L 27/04	D 5 B 0 2 4
G 0 6 F 1/10		G 0 6 F 1/04	3 3 0 A 5 B 0 6 2
15/78	5 1 0	G 1 1 C 11/34	J 5 B 0 7 9
G 1 1 C 11/413			3 4 5 5 F 0 3 8

審査請求 未請求 請求項の数10 O L (全 20 頁) 最終頁に続く

(21) 出願番号 特願2000-217943(P2000-217943)

(22) 出願日 平成12年7月18日 (2000.7.18)

(71) 出願人 000005108

株式会社日立製作所

東京都千代田区神田駿河台四丁目6番地

(72) 発明者 廣瀬 健志

東京都小平市上水本町五丁目20番1号 株

式会社日立製作所半導体グループ内

(72) 発明者 味岡 智己

東京都小平市上水本町五丁目20番1号 株

式会社日立製作所半導体グループ内

(74) 代理人 100081938

弁理士 徳若 光政

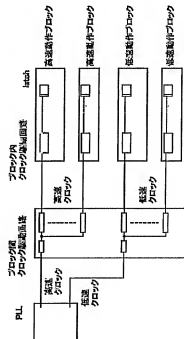
最終頁に続く

## (54) 【発明の名称】 半導体集積回路装置

## (57) 【要約】

【課題】 クロック伝達の高速化及びクロック間のスキューを低減した半導体集積回路装置を提供する。

【解決手段】 クロック供給回路で形成されたクロックを受けて動作する論理回路を含む論理ブロックを備えた半導体集積回路装置において、上記クロック供給回路と上記論理ブロックに至るまでのクロック配線経路として並行して延長され、同じクロックが伝えられる少なくとも2つの配線経路とを設け、上記クロック供給回路に上記クロック配線に対してそれぞれ独立したクロック駆動回路を設け、上記論理ブロックには上記クロック配線に対してそれぞれ独立したクロック入力回路を設けることにより、クロックの高速伝達を実現する。



## 【特許請求の範囲】

【請求項1】 クロック供給回路と、  
上記クロック供給回路から供給されるクロックを受けて動作する論理回路を含む論理ブロックと、  
上記クロック供給回路と上記論理ブロックに至るまでのクロック配線経路として並行して延長され、同じクロックが伝えられる少なくとも2つの配線経路とを備え、  
上記クロック供給回路は、上記クロック配線に対してそれぞれ独立したクロック駆動回路を持ち、  
上記論理ブロックは、上記クロック配線に対してそれぞれ独立したクロック入力回路を持つことを特徴とする半導体集積回路装置。

【請求項2】 請求項1において、  
上記論理ブロックは、複数の機能ブロックから構成され、

上記クロック供給回路は、上記複数の機能ブロックに対して共通に用いられ、

上記少なくとも2つの配線経路は、上記複数の機能ブロックのうち半導体基板上に隣接して配置される少なくとも2つの機能ブロックに対して並行して延長される部分を備えるものであることを特徴とする半導体集積回路装置。

【請求項3】 請求項2において、  
上記少なくとも2つの配線経路は、クロックの伝達経路の配線長その差が小さくなるようにいずれか1つ以上に迂回経路が持たせられてなることを特徴とする半導体集積回路装置。

【請求項4】 請求項1において、  
上記論理ブロックは、複数の機能ブロックから構成され、

上記複数の機能ブロックは、それぞれが所望の信号処理能力を持つようにされるものであり、

上記クロック供給回路は、上記複数の機能ブロックのそれぞれに対して並行に延長される少なくとも2つの配線経路を備えるものであることを特徴とする半導体集積回路装置。

【請求項5】 請求項1において、  
上記クロック供給回路は、第1クロックと、上記第1クロックに対して周波数が $1/N$ に分周された第2クロックとを供給するものであり、  
上記論理ブロックは、上記第1クロックを受けて動作する第1論理回路を含む複数の第1論理ブロックと、上記第2クロックを受けて動作する第2論理回路を含む複数の第2論理ブロックと、

上記クロック供給回路から上記複数の第1論理ブロックに至るまでの第1クロック配線経路として、並行に延長される部分を含む少なくとも2つの配線経路と、

上記クロック供給回路から上記第2論理ブロックに至るまでの第2クロック配線経路として、並行に延長される部分を含む少なくとも2つの配線経路とを備えてなるこ

とを特徴とする半導体集積回路装置。

【請求項6】 請求項4において、  
上記クロック供給回路は、第1クロックと、上記第1クロックに対して周波数が $1/N$ に分周された第2クロックとを供給するものであり、  
上記複数の機能ブロックは、上記第1クロックを受けて動作する第1論理回路を含む第1機能ブロックと、上記第2クロックを受けて動作する第2論理回路を含む第2機能ブロックを含むことを特徴とする半導体集積回路装置。

【請求項7】 請求項5又は6において、  
上記第1クロックを伝える第1配線と上記第2クロックを伝える第2配線とが並行して延長するとともに、  
上記第1クロックの第1配線と第2配線の間には、上記第1及び第2配線に対して第3と第4配線を並行して延長し、

上記第1配線に隣接した第3配線には上記第1クロックを伝え、

上記第2配線に隣接した第4配線には上記第2クロックを伝えてなることを特徴とする半導体集積回路装置。

【請求項8】 請求項2ないし7のいずれか1において、

上記機能ブロックは、1つの半導体基板上に形成される1チップのマイクロコンピュータシステムを構成し、それぞれが独立して動作可能とされる信号処理回路であることを特徴とする半導体集積回路装置。

【請求項9】 請求項1ないし7のいずれか1において、

上記論理ブロックは、ゲートアレイで構成された一定のエリアに配置された論理ゲート群からなり、上記クロック供給回路は、半導体基板の中心部に設けられて、各論理ゲート群と間のクロック供給経路が互いに等長となるようにされることを特徴とする半導体集積回路装置。

【請求項10】 請求項1ないし7のいずれか1において、

上記論理ブロックは、複数ビットの単位で読み出し信号をクロックに対応して増幅する増幅回路を有するメモリ回路であり、

上記クロック供給回路は、メモリ回路の増幅回路の動作に必要なクロック信号を供給するものであることを特徴とする半導体集積回路装置。

## 【発明の詳細な説明】

【0001】

【発明の属する技術分野】 この発明は、半導体集積回路装置に関し、クロックで動作する論理回路を含む半導体集積回路装置の高速化に利用して有効な技術に関するものである。

【0002】

【従来の技術】 本発明を成した後の調査によって、後で説明する本発明に関連すると思われるものとして、特開

平8-306867号公報(以下、先行技術1という)、特開平4-73951号公報(以下、先行技術2という)があることが判明した。先行技術1には半導体基板上の信号配線の両側にダミー配線を入れて同相の信号を入力するものが、先行技術2には信号用配線に平行して該信号用配線にバッファ回路を介して接続した電位的に同相のダミー配線を有するものが開示されている。しかしながら、これらの公報は、いずれにおいても後に説明するような本願発明に係る複数の論理機能ブロック等に向けたクロックの高速伝達についての配慮は何ら開示されていない。

#### 【0003】

【発明が解決しようとする課題】1つの信号を複数の回路に供給する場合、1つの信号経路がそれぞれの回路に対応して分岐するよう形成される。これにより、信号配線数及び信号出力回路を少なくすることができ、大規模なデジタル集積回路においては、同じクロックを複数の論理機能ブロックに供給することが多い。前記先行技術1、2では、いずれも1つの信号経路しか開示されていない。したがって、上記のように複数の論理機能ブロックにクロックを供給する場合は、クロック供給回路から最も近い位置に配置された論理機能ブロックまでについて1本の信号線となるため、前記のようなダミー配線による高速化は実現できない。

【0004】しかしながら、そこから先の分岐して個々の機能ブロックに至るまでの信号経路については、前記先行技術1及び2ではどのように上記ダミー配線をどのように設けるのか配慮が成されていない。つまり、先行技術1及び2では、上記のように複数の論理機能ブロックにクロックを供給する場合において、クロック供給回路から最も近い位置に配置された論理機能ブロックまでについて適用可能となるものである。そして、分岐を設けて複数の論理ブロックにクロックを供給する構成においては、各分岐部での信号の反射が生じたり、そこでのインピーダンスが予測困難となり、個々の論理ブロックに供給されるクロックの遅延(スキュー)の管理が極めて難しくなるものである。

【0005】1チップのマイクロコンピュータ等の大規模デジタル集積回路において、機能ブロックは、CPU、メモリ、DSP、あるいはタイマ等のように各々の機能ブロックが比較的大きな回路規模を持って構成される。それ故、クロック供給回路からみたと、クロック供給回路から最も近い位置に配置された論理機能ブロックまでの距離は、かかる複数の機能ブロックを巡るクロック伝達経路の全体に比べて圧倒的に短く、前記ダミー配線を用いた信号伝達の高速度化が生かされない。また、仮にクロック供給回路と最も近い位置に配置された機能ブロックとの距離が比較的大きくてもダミー配線を用いた信号伝達の高速度化が可能であったとしても、分岐から先の信号経路について、その配線長さが機能ブロック相互で異

なることによるクロックの遅延時間の相違によるスキューの発生については何等解決できないという問題を有する。

【0006】この発明の目的は、クロック伝達の高速度化を実現した半導体集積回路装置を提供することにある。この発明の他の目的は、クロック伝達の高速度化及びクロック間のスキューを低減した半導体集積回路装置を提供することにある。この発明の前記ならびにそのほかの目的と新規な特徴は、本明細書の記述および添付図面から明らかにするであろう。

#### 【0007】

【課題を解決するための手段】本願において開示される発明のうち代表的なものの概要を簡単に説明すれば、下記の通りである。クロック供給回路で形成されたクロックを受けて動作する論理回路を含む論理ブロックを備えた半導体集積回路装置において、上記クロック供給回路と上記論理ブロックに至るまでのクロック配線経路として並行して延長され、同じクロックが伝えられる少なくとも2つの配線経路とを設け、上記クロック供給回路に上記クロック配線に対してそれぞれ独立したクロック駆動回路を設け、上記論理ブロックには上記クロック配線に対してそれぞれ独立したクロック入力回路を設ける。

#### 【0008】

【発明の実施の形態】図1には、この発明に係る半導体集積回路装置におけるクロック系回路の一実施例のブロック図が示されている。この実施例では、特に制限されないが、PLL(位相・ロック・ループ)回路によって外部クロックと同期した内部クロックが形成される。PLL回路では、図示しない外部から供給されたクロック信号に同期し、高い周波数にされた高速クロックと、上記高速クロックに比べて低い周波数にされた低速クロックとを形成する。

【0009】上記PLL回路で形成された高速クロックと低速クロックは、クロック駆動回路を介して各機能ブロックあるいは一定のエリアに割り当てられた回路ブロックに供給される。この実施例では、このようなクロック供給回路と、それにより形成されたクロックを受けて動作する機能ブロックあるいは回路ブロックとの間に設けられるクロック供給経路に、同時に同じ方向に信号が変化すると、配線素子の遅延時間が小さくなるという特性を利用する。つまり、同時に同じ方向に変化する信号は、レイアウト上で隣り合うよう配線する。そして、クロックは、同じ種類のものを隣り合せて配線する。

【0010】具体的には、高速クロックを受けて動作する複数の機能ブロックあるいは一定のエリアに設けられた回路ブロックに対するクロックは、従来のように1つのクロック駆動回路から供給されたクロック信号を、物理的に1本の配線により個々の機能ブロックや回路ブロックの配置に合わせて分岐させながら伝えるようにするのではなく、クロック供給源であるクロック駆動回路

から、それぞれの機能ブロック又は回路ブロックに向けて独立して最低1本の配線を割り当てるようにするものである。

【0011】上記機能ブロックあるいは上記回路ブロック間では、上記のように独立して設けられた配線を通して伝えられたクロックを受けるブロック内クロック駆動回路を有し、必要のブロック内クロック駆動回路により、クロックを必要とするラッチ (latch) に伝えられる。このようなブロック内クロック駆動回路とそれを受けるラッチとの間では、その配線長さが比較的短くされることから極端に負荷が重い場合には、負荷であるラッチ等を複数のラッチに分割して複数の駆動回路を割り当てるようにし、個々の駆動回路とラッチ等の間では分岐を持つような配線により相互に接続される。

【0012】このように各機能ブロックあるいは回路ブロックに対して最低1本の配線によりクロックを独立して供給する構成において、同時に同じ方向に変化する高速クロック又は低速クロックは、各々においてレイアウト上で隣り合うよう配線する。そして、同じ種類の高速クロック又は低速クロックを隣り合せて配線する。

【0013】この構成に代えて、図1のクロック駆動回路と上記機能ブロック又は回路ブロックに対応したブロック内のクロック駆動回路との間を複数の配線及び回路により構成してもよい。この場合には、クロック供給回路間とそれにより形成されたクロックを受ける機能ブロック又は回路ブロックの間のクロックは、常に同一のクロックとなり、クロック供給回路の出力部から機能ブロック又は回路ブロックの入力部に至るまでの全経路で同時に同じ方向に変化するクロックを隣り合うよう並行して配置させられた配線により伝送することができる。

【0014】図2には、この発明に係る半導体集積回路装置におけるクロック系回路の一実施例の配線配置図が示されている。この実施例では、高速クロックと低速クロックを隣り合わせて配置する場合に向けられる。このように、高速クロックと低速クロックとを並走して供給させる場合、互いに他のクロックを伝える配線の信号変化の影響をなくするため、同時に同じ方向に変化するダミー配線を隣り合うよう配線する。つまり、高速クロックのうち、低速クロック側に隣接して設けられるクロック配線と、低速クロックのうち、高速クロック側に隣接して設けられるクロック配線との間には、それぞれシールドクロック配線を設けて、相互の干渉によるクロック伝達の遅延を防止する。

【0015】また、同じ種類である高速クロックの複数のグループ化されて、同じ方向に並行して延長される場合、他の信号線等に隣接する端部にクロック配線は、他の信号線との間のスペースを拡大を図るようになる。このような十分なスペースが確保できないときには、低速クロック側に隣接して設けられるクロック配線と同様に、シールドクロック配線を設けるようにしてもよい。上記

のような構成により、配線間容量の影響を均一にし、かつ、配線遅延を小さくすることでチップ面積へ増加なしに配線遅延ばらつき (スキュー) を小さくすることができる。

【0016】以上のように、この発明に係るクロック供給系回路では、論理的に同一周波数、同位相であるクロックを隣り合わせて配線する。異なる周波数、位相で動作するクロックが複数の場合、周波数/位相の同じクロックが隣り合うようにグループ化して配線する。そして、後述するようなゲートアレイ等のような半導体集積回路装置では、クロック分配系はツリー構造とし、分配系の各ステージで (特に遅延量の大きいブロック間) の配線負荷を揃えるようにする。また、配線の長さ、使用するメタル層を統一する。他の配線のクロック線への影響を小さくするため、同じタイミングで変化するダミー配線を隣り合うようレイアウトする。あるいは、グループ化したクロック配線と他の配線のスペースを広げる。

【0017】図3には、この発明に係る半導体集積回路装置の一実施例のブロック図が示されている。この実施例は、特に制限されないが、シングルチップマイクロコンピュータに向けられる。この実施例では、機能ブロック2aないし2cのように高速動作回路ブロックと、機能ブロック4aないし4dのように低速動作回路ブロックと、これらに供給するクロックを生成するクロックパルスジェネレータ (CPG) 5及びブロック間クロック駆動回路群6とが1つの半導体チップ1に形成される。チップの周辺部には、入出力回路が設けられる。

【0018】上記高速動作回路ブロックは、CPU (中央処理装置)、DSP (デジタル信号処理プロセス)、メモリ等が含まれる。上記低速動作回路ブロックは、タイマやシリアル入出力回路、DA (デジタル/アナログ変換) 等が含まれる。これらの機能ブロックの各々には、機能ブロック4bに代表として例示的に示されているようにブロック内クロック駆動回路7が設けられる。CPG5は、高速クロック信号8aと低速クロック信号8bとを形成する。ブロック間クロック駆動回路群6は、上記クロック信号8aと8bとを受けて、個々の機能ブロックに一つ一つに設けられるクロック配線に伝えられるクロックを形成する。つまり、上記クロック駆動回路6の1つと、機能ブロック2aないし2c又は4aないし4dのいずれ1つに設けられるブロック内クロック駆動回路7との間には、分岐のない1本の配線により形成される。

【0019】上記ブロック間の配線が1本であるとき、クロック駆動回路から各機能ブロックに向かうクロック配線のうち、同じ種類 (高速クロック8a又は低速クロック8b) 同士を並行して示したようにグループ化して、隣り合わせて並行するように配線する。また、機能ブロック2c又は機能ブロック4cに設けられるクロック配線のように、意図的に迂回経路を設けて、その配線

長さを長くして他の機能ブロック2b又は4d等と同じ配線長とする。これにより、配線長さの相違による機能ブロック2cと2b又は4cと4dとの間でのクロックのスキューを低減させることができる。このような迂回経路を含めてクロックのスキューを管理することが容易となる。

【0020】図3の実施例において、上記クロック駆動回路6の1つと、機能ブロック2aないし2c又は4aないし4dのいずれ1つに設けられるブロック内クロック駆動回路7との間には、分岐のない1本の配線に代えて2本以上にすることもよい。つまり、同じ機能ブロックにおいて、ブロック内クロック駆動回路を複数設け、かかるブロック内クロック駆動回路の各々に対応して、1本ずつ配線を割り当てて、それを半導体チップ上に互いに隣接して並行に延長させるようにするものである。このような構成では、クロック供給側であるブロック間クロック駆動回路6も、上記配線数に対応して複数設けられる。この構成では、クロック供給側であるブロック間クロック駆動回路と、ブロック内クロック駆動回路との間において、クロック配線の複数が並行に配置されることにより高速なクロック伝達が可能になる。

【0021】図4には、この発明に係る半導体集積回路装置の他の一実施例のブロック図が示されている。この実施例は、特に制限されないが、ゲートアレイに向けられている。この実施例では、クロック入力ピン12から供給されたクロックは、チップ中央部に設けられたマスタクロックドライバ群13に伝えられる。このとき、特に制限されないが、1つのクロックを最低2本の配線を用い、それを隣接して並行するように延長させてクロック入力ピン12から上記マスタクロックドライバ群13の入力部とを接続するものとしてもよい。

【0022】上記マスタクロックドライバ群13は、サブクロックドライバ群14に対応したクロック駆動回路を有し、それぞれとの間を一つに対応されたクロック配線により接続される。つまり、マスタクロックドライバ群13の1つのクロック駆動回路の出力端子に接続されたクロック配線は、分岐なくそれに対応された1つのサブクロックドライバ群14の入力部に至るよう形成される。上記マスタクロックドライバ群13と上記サブクロックドライバ群14との間の配線長さが互いに等しくなるようにチップ中央寄りに設けられたサブクロックドライバ群14に対しては意図的に迂回経路が設けられる。

【0023】これにより、チップ中央部に設けられたマスタクロックドライバ群13から点線に示した基盤目状に区切られた回路ブロックの境界に沿って延長されるクロック配線長が、いずれのサブクロックドライバ群14についても互いに等しくなるようにされる。このようなクロック配線の配置により、クロック信号配線が図1

5に示したようにグループ化される。これにより、前記のように論理的に同一周波数、同位相であるクロックを隣り合わせて配線することができる。

【0024】サブクロックドライバ14は、それを中心とする4つの回路ブロックに供給されるクロックを受け持つ。このサブクロックドライバ14とフリップフロップ回路F Fとの間には、負荷が互いに等しくなるように適宜にグループ化され、同一グループ回路でクロック配線を分岐させて配置させる。つまり、このようなサブクロックドライバ14と、フリップフロップ回路F Fとの間の物理的な距離が短いから上記のような分岐を用いてクロック配線を構成しても、速度的にはさほど問題にならないし、フリップフロップ回路F Fの配置は、論理機能に応じて様々であるのでクロック配線のグループ化が難しい。ただし、必要なサブクロックドライバ14とフリップフロップ回路F Fとの間も一つに対応してクロック配線を設けるようにしてもよい。

【0025】上記クロック入力ピン12とマスタクロックドライバ群13の間のクロック配線は、そのクロック配線の両側に前記シールドクロック配線及びそれに対応したクロック駆動回路を設けるものでもあってもよい。また、マスタクロックドライバ群13から左右に延びる2つの回路ブロック間においては、同図の例では8個のサブクロックドライバ群14に対応した8本のクロック配線が並行に延長される。そこで、この間での高速化を図るために前記同様に両側に前記シールドクロック配線及びそれに対応したクロック駆動回路を設けるようにしてもよい。

【0026】図5には、この発明に係る半導体集積回路装置に設けられるクロックパルスジェネレータの一実施例のブロック図が示されている。この実施例では、クロック発振器端子と外部クロック入力端子を持ち、水晶直付け外部クロック入力からの選択可能とされる。つまり、上記発振器端子に水晶を接続して水晶発振器を構成した場合には、かかる水晶発振器によりクロックを生成することができる。これに代えて、外部クロック入力端子から供給されたクロックを用いるようにすることができる。

【0027】上記水晶発振器又は外部クロック入力端子から供給されたパルスは、PLL回路2に伝えられて、ここで $\times 1$ 又は $\times 4$ のような周波数選定動作が行われる。周波数制御レジスタとクロック周波数制御回路は、上記 $\times 1$ 又は $\times 4$ のいずれかの指定を行うために用いられる。上記PLL回路2により水晶/外部クロック入力を波形形成と必要に応じて通信が行われたクロックは、一方においてシステムクロックとし、S I外部に出力する。このとき、CPG遅延補正回路及びクロック分配系等価回路等からなるレプリカ回路による遅延補正回路が設けられて、内部回路のフリップフロップ回路にF Fに伝えられるクロックと、システムクロック端子からし

SI外部に出力されるクロックとの位相合わせが行われる。

【0028】つまり、システムクロックの遅延を揃えるため、CPG内に遅延補正回路が設けられてCPGへF分周クロック分配系の遅延時間を補正する。CPG内遅延補正回路は、PLL回路2出力へLSI内部用クロック出力端とPLL回路2出力へシステムクロック出力端の遅延差を補正する。クロック分配系等価回路は、CPG出力からF分周までの遅延を補正する。これらの回路はLSI内のクロック分配系と同じ回路、レイアウト構造とし配線をグループ化する処理、ダミー信号でシールドする処理も同じとされる。

【0029】上記PLL回路2により水晶/外部クロック入力を波形成形と必要に応じて通信が行われたクロックは、他方においてLSI内部のフリップフロップF分用のクロックを生成するためPLL回路1に伝えられる。PLL回路1ではクロックの周波数を遅倍させる。この遅倍率は、例えば $\times 1$ 、 $\times 2$ 、 $\times 3$ 、 $\times 4$ 、 $\times 6$ 、 $\times 8$ のように6通りが用意されており、前記周波数制御レジスタとクロック周波数制御回路で選択される。

【0030】上記PLL回路1で形成されたクロックは、高速用と低速用に対応した2つの分周回路1と分周回路2に伝えられる。分周回路1と2は、特に制限されないが、それぞれが $\times 1$ 、 $\times 1/2$ 、 $\times 1/3$ 、 $\times 1/4$ 、 $\times 1/6$ のような分周率の切り替えが可能とされ、前記周波数制御レジスタとクロック周波数制御回路で選択される。上記のPLL回路2、PLL回路1及び分周回路1、分周回路2のそれぞれの遅倍率及び分周率の組み合わせにより、必要とされた高速クロック及び低速クロックを発生させることができる。

【0031】このように形成された高速クロック及び低速クロックは、前記図1の実施例のように高速クロックは、高速クロックドライバHCD1〜HCDmを介してクロック分配回路に伝えられ、低速クロックは低速クロックドライバLCD1〜LCDnを介してクロック分配回路に伝えられる。

【0032】図6には、この発明に係るクロック駆動回路の一実施例の回路図が示されている。この実施例では、クロック供給側から半導体チップの上部と下部に延長されるクロックがグループ化されて設けられる。これらのクロックを駆動するクロック駆動回路の入力信号の共通化がなされる。シールド用ダミー信号を駆動する駆動回路の入力信号も共通化がなされる。特に制限されないが、他の回路の信号線の影響を回避するために、グループ化されたクロック配線の両側には、シールド用バッファ及びシールド用クロック配線が設けられる。この構成は、前記図4の実施例にそのまま適用することができる。

【0033】図7には、この発明が適用されるシングルチップマイクロコンピュータの一実施例のブロック図が

示されている。同図の各回路ブロックは、公知のCMOS（相補型MOS）半導体集積回路の製造技術によって、単結晶シリコンのような1個の基板上において形成される。

【0034】この実施例におけるシングルチップマイクロコンピュータは、特に制限されないが、RISC（Reduced instruction set computer）タイプの中央処理装置CPUにより、高性能な演算処理を実現し、システム構成に必要な周辺機器を集積すると同時に、携帯機器応用等に不可欠な低消費電力化を実現したシングルチップマイクロコンピュータである。

【0035】中央処理装置CPUは、RISCタイプの命令セットを持っており、基本命令はパイプライン処理を行って1命令1ステート（1システムクロックサイクル）で動作するので、命令実行速度が飛躍的に向上させることができる。そして、乗算器MULTを内蔵しており、3次元演算処理等に不可欠な積和演算処理を高速に行うようにしている。

【0036】最少部品点数によりユーザーシステムを構成できるように内蔵周辺モジュールとして、割り込みコントローラINTC、直接メモリアクセス制御装置DMAC、除算器DIVU、タイマTMR、WDT、シリアルコミュニケーションインターフェイスSCIを内蔵している。さらに、キャッシュメモリ内蔵の外部メモリアクセスサポート機能により、グローバルにダイナミック型RAM（ランダム・アクセス・メモリ）、シクロナスタダイナミック型RAM、擬似スタティック型RAMの外部メモリと直接接続できるようにしている。

【0037】上記のような高速な中央処理装置CPUを中心にし、その性能を十分に発揮し、しかも低消費電力化を図りつつ、高性能、高機能又は多機能のために設けられた周辺モジュールを効率よく動作させるようにするため、内部バスは3つに分けられている。

【0038】第1のバスは、アドレスバスAB1とデータバスDB1から構成され、中央処理装置CPU、乗算器（積和演算器）MULT及びキャッシュメモリが接続される。上記乗算器MULTは、上記第1のバスのうちデータバスDB1にのみ接続され、中央処理装置CPUと一体的に動作して乗算と加算を行うようにされる。それ故、第1バス（AB1、DB1）は、主に中央処理装置CPUとキャッシュメモリとの間でのデータ伝送に利用されるからキャッシュアドレスバスとキャッシュデータバスと呼ぶことができる。キャッシュメモリは、タグメモリTAGとデータメモリCDM及びキャッシュコントローラCACから構成される。

【0039】中央処理装置CPUの概略構成は次の通りである。内部は32ビット構成とされる。汎用レジスタマシンは、16本からなる32ビットの汎用レジスタと、3本からなる32ビットのコントロールレジスタ

と、4本からなる32ビットのシステムレジスタから構成される。RISCタイプの命令セットは、16ビット固定長命令によりコード効率化を図っている。無条件/条件分岐命令を遅延分岐方式とすることにより、分岐時のパイプラインの乱れを軽減している。命令実行は、1命令/1ステートとされる。

【0040】中央処理装置CPUの性能は動作周波数と、1命令実行あたりのクロック数(CPI: Cycles Per Instruction)で決まる。このうち動作周波数は、ゲーム機に組み込んだ際にテレビ用のビデオ信号処理系とクロックを共有するために、例えば28.7MHzに設定にすることが便利である。ちなみに、NTSC方式のカラー・テレビで画像データをノンインターレース表示する場合には通常、ビデオ信号回路に色副搬送波(カラー・サブキャリア)周波数(約3.58MHzの8倍のクロック(28.6MHz)を使っている。

【0041】この実施例では、キャッシュメモリ(TAG, CAC, CDM)及び乗算器MULTしか接続されない第1バス(AB1とDB1)に中央処理装置CPUを接続するものである。バスの負荷容量が大幅に低減でき、上記のような高速動作を行う中央処理装置CPUのバス駆動回路の簡素化と、低消費電力化を図ることができる。したがって、この第1バスは高速バスといえる。

【0042】第2のバスは、アドレスバスAB2とデータバスDB2から構成され、除算器DIVU、直接メモリアクセス制御装置DMAC、外部バスインターフェイスOBIが接続される。この第2バスは中速バスといえる。上記キャッシュメモリでのミスヒットのときに、中央処理装置CPUは、外部メモリをアクセスしてデータを取り込む必要がある。このため、第1のバスのアドレス信号を第2のバスに伝える機能が必要とされる。また、上記のように第1と第2のバスを分離すると、プログラムミス等によって直接メモリアクセス制御装置DMACがキャッシュメモリのデータメモリCDMの内容を勝手に書き換えてしまうという問題が生じる。

【0043】この実施例では、上記のようなキャッシュメモリでのミスヒットやキャッシュメモリのデータ破壊といった問題を解決するために、ブ레이크コントローラUBCが利用される。ブ레이크コントローラUBCは、本来プログラムデバッグ等に用いられるのであるが、上記第1バス及び第2バスに接続される必要があることを利用し、それにトランシーバ回路を設けて上記キャッシュメモリでのミスヒットのときに第1バスのアドレス信号を第2のバスのアドレスバスAB2に伝えて、外部メモリアクセスを行うようにするものである。また、第2のバスでのアドレス信号を監視し、直接メモリアクセス制御装置DMACによるデータメモリCDMへ書き換えを監視させる。

【0044】第3のバスは、アドレスバスAB3とデータバスDB3から構成され、特に制限されないが、フリーランニングタイプRFT、シリアルコミュニケーションインターフェイスSCI、ウォッチドッグタイマWDTと動作モードコントローラMCが接続される。

【0045】上記第3のバスは、上記第1や第2のバスに比べてバスサイクルが遅くなる。すなわち、これらの各周辺モジュールへの動作速度を速くしても実質的な性能や機能が向上するものではないことに着目し、約10MHz程度で動作する既存のシングルチップマイクロコンピュータに搭載されているものを実質的にそのまま利用するものである。このようにすることにより、設計効率の向上を図ることができるとともに、動作周波数が低くされることによって低消費電力化を図ることができる。したがって、この第3バスは低速バスといえる。

【0046】このようにすると中央処理装置CPU等とのデータの授受がそのままでなくなるので、バスステートコントローラBSCが設けられる。このバスステートコントローラBSCは、第3のバスから第2のバスに信号(データ信号)を転送するときには、そのまま信号の伝達を行う。これは、バルス発生回路CPGにおいて第1や第2のバスサイクルを決定するシステムクロックを分周して第3のバスサイクルに使用するクロックパルスを形成しているため、上記第3のバスの信号をそのまま第2のバスに伝えることができる。これに対して、バスステートコントローラBSCは第2のバスの信号を第3のバスに伝えるときに、必要に応じて信号を遅延させて第3のクロックパルスに同期化させて伝達するものである。

【0047】割り込みコントローラINTCの概略は、次の通りである。外部割り込みに関しては、後述するようなNMI、/IRL0~/IRL3からなる5本の外部割り込み端子を持っている。/IRL0~/IRL3端子による15外部割り込みレベル設定が可能にされる。この明細書及び一部の図面において、アルファベットの記号に付した/(スラッシュ)は、ロウレベルがアクティブレベルであるバー信号を表している。なお、図面では従来の記述方法により、バー信号はアルファベットの記号名又は端子名の上に線が付されている。

【0048】内部割り込み要因は、直接メモリアクセス制御装置により2つ、除算器DIVUにより1つ、フリーランニングタイマRFTにより3つ、ウォッチドッグタイマWDTにより1つ、シリアルコミュニケーションインターフェイスSCIにより4つからなる11要因とされる。内部割り込み要因ごとにベクタ番号設定可能とされる。

【0049】以上のようなバスの分割方式を採用することにより、それぞれのバスの長さが短くされたり、あるいはそれに接続される素子が減らされることがからバスの



負荷容量が大幅に低減し、中央処理装置CPUの高速化と相俟って低消費電力で高速なデータ処理が可能になる。また、ユーザブレイクコントローラに直接メモリアクセス制御装置をDMACを設けた場合には、上記のようなバスの分離によって直接メモリアクセス制御装置DMACによる誤ったキャッシュデータの書き換えを検出する機能が設けられているので信頼性を損なうことがない。

【0050】さらに、中央処理装置CPUやキャッシュメモリ及び直接メモリアクセス制御装置DMACのように、そのバスサイクルが直ちに性能や機能に影響を及ぼすものは、上記のような高速なバスサイクルのバスに接続し、フリーランニングタイマFRT、シリアルコミュニケーションインターフェースSCI又はウォッチドッグタイマWDTのように、そのバスサイクルがデータ処理に直接影響を及ぼさないものは、低速のバスサイクルの第3のバスに接続するようになるものである。これにより、中央処理装置CPUの高速化に追従して、高速タイプの周辺モジュールを開発設計する必要がなく、既存のものをそのまま流用して用いることができるから、設計の効率化を図ることができるとともに、そこでの動作クロックを低くできるので低消費電力化を図ることができる。

【0051】上記のような第1バス(高速バス)、第2バス(中速バス)及び第3バス(低速バス)のような3種類のバスを持つものでは、それぞれのバス(高速バス、中速バス及び低速バス)に接続される機能ブロックに伝えられるクロックの周波数が異なる。そこで、CPGは、上記高速バス、中速バス及び低速バスに対応した機能ブロックに伝えられるクロックは、前記のように論理的に同一周波数、同位相であるクロックを隣り合わせて配線する。異なる周波数、位相で動作するクロックが複数ある場合、周波数/位相の同じクロックが隣り合うようにグループ化して配線する。配線の長さ、使用するメタル層を統一する。他の配線のクロック線への影響を小さくするため、同じタイミングで変化するダミー配線が隣り合うようレイアウトする。あるいは、グループ化したクロック配線と他の配線のスペースを広げるようにするものである。

【0052】中速バスや低速バスに対しても、上記高速バスと同じグループ化等の配線を採用することにより、高速クロック、中速クロック及び低速クロック相互を同期化させることができる。言い換えるならば、スキューを小さくすることができる。これにより、高速バスと中速バス又は低速バスとの間、中速バスと低速バスとの間でのデータ授受においてタイミングマージンを小さくすることができる。

【0053】また、機能ブロック毎にクロック信号を供給するものでは、その機能ブロックが何も動作を行わないスタンバイ状態のときにクロックの伝達を停止させる

上で便利である。周知のようにCMOS論理回路では、クロックの供給停止により理論的には消費電流が発生しないから上記クロックの停止により低消費電力化が可能になるものである。

【0054】図8には、この発明が適用されたダイナミック型RAM(以下、単にDRAMという)の一実施例の全体概略レイアウト図が示されている。同図において、ダイナミック型RAMを構成する各回路ブロックのうち、その主要部が判るように示されており、それが公知の半導体集積回路の製造技術により、単結晶シリコンのような1個の半導体基板上において形成される。

【0055】特に制限されないが、この発明が適用されるDRAMは、それぞれが独立にメモリアクセスされるBANK 0ないし3のような4つのメモリアクセスが設けられる。これらの4つのメモリアクセス(BANK 0ないし3)は、それぞれが同じ回路構成及びレイアウトにされており、そのうちメモリアクセスBANK 0において代表として階層とされたIO構造に関連する部分が例示的に示されている。

【0056】メモリアレイ領域(以下、単にメモリアレイという)は、前記メモリアクセスBANK 0〜3のそれぞれに対応して設けられ、全体として4個に分けられる。つまり、半導体チップ10の長手方向に対して左右に分けられて、中央部分104には、例示的に示されている制御回路(CNTL)回路106とデータ入出力回路PDPADの他、図示しないけれども、アドレス入力回路ボンディングパッド列からなる入出力インターフェース回路及び昇圧回路や降圧回路を含む電源回路等が設けられる。

【0057】これら中央部分104の両側とメモリアレイとが接する部分には、メインアンプ(MA)105、メモリアレイ制御回路(Array Control)101、メインワードドライバ(MWD)102等が配置される。上記メモリアレイ制御回路101は、サブワード選択線やセンスアンプを駆動するための制御回路からなる。上述のように半導体チップ10の長手方向に対して左右に2個、上下に2個ずつに分けられた4個からなる各メモリアレイにおいて、長手方向に対して上下中央部にカラムデコード領域(YDC)103が設けられる。

【0058】上述のよう各メモリアレイにおいて、メインワードドライバ12は、それに対応した4つのメモリアレイ領域(以下、単にメモリアレイという)を貫通するように延長されるメインワード線の選択信号を形成する。上記メインワードドライバ領域102にサブワード選択線のサブワード選択線のドライバも設けられ、上記メインワード線と平行に延長されてサブワード選択線の選択信号を形成する。カラムデコード103は、それに対応した32のメモリアレイを貫通するように延長されるカラム選択線の選択信号を形成する。

【0059】上記各メモリセルアレイは、複数からなる上記メモリアレイに分割される。ワード線方向には4個、ビット線方向には32個(参照電位用のダミーアレイを除く)が設けられる。メモリアレイは、センスアンプ領域、サブワードドライバ領域に囲まれて形成される。上記センスアンプ領域と、上記サブワードドライバ領域の交差部は、交差領域(クロスエリア)とされる。上記センスアンプ領域に設けられるセンスアンプは、CMOS構成のラッチ回路により構成される。特に制限されないが、この実施例のメモリアレイは、センスアンプを中心に左右に延長される相補ビット線の信号を増幅するという、いわゆる1交点方式又はオープンビットライン型とされる。

【0060】1つのメモリアレイにおいて、参照電位用の端メモリアレイを除いてビット線が1024本設けられるので、ワード線方向には約4K分のメモリセルが接続され、サブワード線が512本設けられるので、ビット線方向には $512 \times 32 = 16K$ 分のメモリセルが接続される。これにより、1つのメモリセルアレイ(メモリバンク)には、 $4K \times 16K = 64M$ ビットのような記憶容量を持ち、4つのメモリアレイ(メモリバンク)によりメモリチップの全体では $4 \times 64M = 256M$ ビットのような記憶容量を持つようにされる。

【0061】メモリセルアレイのワード線方向の両側に、サブアンプ(SubAmp)が設けられる。このサブアンプに対応して、メイン入出力線MIOがサブアンプと上記メモリセルアレイの外側に平行して延長される。上記メイン入出力線MIOのうち、半導体チップの長手方向に外周に沿って設けられる8ビット分のメイン入出力線MIOを上記メモリセルアレイのワード線方向に並ぶ4つのメモリアレイ(メモリマツト)を横断して延長するよう配置される配線は、各メモリセルアレイの2つのメモリブロックのそれぞれにおいて、半導体チップの中央寄りに最も近い1つのメモリマツトに前記8ビット分の信号線が集中して配置される。

【0062】つまり、メモリバンクBANK0を例にして説明すると、前記のように2つのメモリブロックのうち、半導体チップの外側に位置するメモリブロックを構成するビット線方向に並べられた16個の正規アレイのうち、最も半導体チップの内側、つまりは当該メモリバンクBANK0のビット線方向のほぼ中央寄りに設けられたメモリアレイをワード線方向に横断するように上記配線が配置される。このような信号線の集中配置に対応して、集中的に8ビット分のメインアンプ(ライトアンプも含む)MAが配置される。

【0063】同様に、上記メモリセルアレイのワード線方向のメモリセルアレイの内側に設けられる残り8ビット分のメイン入出力線MIOに接続される配線も、集中的に設けられる。これに対応して残り8ビット分に対応したメインアンプMAが設けられる。したがって、上記

メモリバンクBANK0の前記のように2つのメモリブロックのうち、半導体チップの外側に位置するメモリブロックに対応した16個のメインアンプが2つのメモリブロックのほぼ境界部に集中して設けられることになる。

【0064】上記メモリバンクBANK0の他方のメモリブロック、つまりは半導体チップの内側に位置するメモリブロックにおいては、上記メモリセルアレイのワード線方向のメモリセルアレイの外側に設けられる8ビット分のメイン入出力線MIOは、メモリビット線方向に並べられた16個の正規アレイのうち最も半導体チップの内側、つまりは当該メモリバンクBANK0のビット線方向の中央寄りの端に設けられたメモリアレイを集中的にワード線方向に横断するように配線によって8ビット分のメインアンプMAに導かれる。同様に、上記メモリセルアレイのワード線方向のメモリセルアレイの内側に設けられる残り8ビット分のメイン入出力線MIOに接続される配線もそれと隣接するように集中的に設けられて、残り8ビット分に対応したメインアンプMAと接続される。

【0065】上記の構成は、他のメモリバンクBANK1ないし3においても同様である。このような4つのメモリバンクBANK0~3の前記16個ずつのメインアンプMAは、グローバル入出力線GIOを通して共通に接続され、16ビットのデータ入出力増子DQPADに対応したデータ入出力回路と接続される。このような各メモリバンク(メモリセルアレイ)BANK0~3におけるメインアンプMAの集中配置によって、上記グローバル入出力線GIOの長さを半導体チップの長手方向の約半分に短くすることができる。このようなメインアンプMAの配置、あるいはそれとメイン入出力線MIOとの接続を行なう配線の工夫によって、上記グローバル入出力線GIOでの信号伝達時間が短くなり、動作の高速化が可能になるものである。

【0066】このようにメインアンプMAを集中して配置した場合、それに制御回路106から動作タイミング(クロック)を供給する場合、同図に点線で示した各クロック配線は、前記と同様に同じクロックを複数に分けて、複数からなるクロック配線を並列に設けることによるクロックの高速伝達技術を利用することができる。例えば、16個のメインアンプMAは、例えば4個ずつ4組に分けて構成され、それぞれに1本のクロック配線を割り当てることにより4本のクロック配線を並行して延長させることができる。同図には、このような4本等のような複数からなるクロック配線が、1本の点線で示されている。

【0067】このようなクロック配線を並列に複数個を設ける構成によって、クロック回路16とメインアンプMAとの間でのクロックの高速伝達が可能となる。また、同図では、省略されているが、制御回路106から

入出力回路QDPADに向けて、クロックを供給する場合も、同じクロックを複数の分けて上記少なくとも2本のクロック線を並行に延長させるようにすることによって同様にクロック信号の伝達遅延を小さくすることができる。

【0068】図9には、本発明に係る半導体集積回路装置の他の一実施例の全体の回路ブロック図が示されている。この実施例の半導体集積回路装置CHIPは、図示のような複数の回路ブロック、すなわち入出力回路I/O、基板バイアス制御回路VBBC、制御回路ULC、リードオンリメモリROM、D/A変換器DAC、A/D変換器ADC、割り込み制御回路IVC、クロック発生回路CGCを有するシステムパワーマネジメント回路SPMC、中央処理部CPU、スタティックメモリSRAM、DMAコントローラDMAC、ダイナミック型メモリDRAM、を含む。

【0069】それらの回路ブロックは、内部バスBUS、制御バスCBUSに結合されている。それらは半導体集積回路装置を構成すべき図示しない半導体基板上に搭載される。上記システムパワーマネジメント回路SPMCは、システムLSIに搭載される各モジュールにおいて、消費される電力を制御する機能を有する。

【0070】半導体集積回路装置は、入出力回路I/Oに付する入出力外部端子 $T_{i0}$ ないし $T_{i10}$ と、負論理レベルのよりハット信号 $resb$ が供給される外部端子 $T1$ と、制御用外部端子 $T2$ と、第1動作制御信号 $cmq$ が供給される第1動作制御用外部端子 $T3$ と、第2動作制御信号 $cpmq$ が供給される第2動作制御用外部端子 $T4$ と、外部クロック信号 $clk$ が供給されるクロック用外部端子 $T5$ と、複数の電源電圧( $v_{dd}$ 、 $v_{ccdr}$ 、 $v_{ss}$ )が供給される複数の電源用外部端子 $T6$ 、 $T7$ 、 $T8$ とを持つ。

【0071】特に制限されないが、電源電圧 $v_{dd}$ は、内部回路ブロックの動作のための電源電圧とされ、1.8ボルト±0.15ボルトのような値を取る。電源電圧 $v_{ccdr}$ は、半導体集積回路装置に要求される入出力レベルに応じて、主として入出力回路I/Oのために設定される電源電圧であり、3.3ボルト±0.3ボルト、2.5ボルト±0.25ボルト、及び1.8ボルト±0.15ボルトのような値のうちの一つを取るようになされる。電位 $v_{ss}$ は、いわゆるアース電位と称されるような回路の基準電位である。

【0072】図示の半導体集積回路装置は、いわゆるASIC(アプリケーション・スペシフィック・インテグレートッド・サーキット)すなわち特定用途ICを構成するようにされる。すなわち、図示のほとんどの回路ブロックは、ASIC構成を容易ならしめるように、それぞれ独立的な回路機能単位としてのいわゆるモジュールないしはマクロセルをなすようにされる。各機能単位は、それぞれその規模、構成が変更可能にされる。AS

ICとしては、図示の回路ブロックの内、実現すべき電子システムが必要としない回路ブロックは、半導体基板上に搭載しないようにすることができる。逆に、図示されていない機能単位の回路ブロックを追加することもできる。

【0073】半導体集積回路装置は、特に制限されないが、1.8ボルト±0.15ボルトのような低電源電圧 $v_{dd}$ の基でも十分な動作特性を示すように、低電源電圧可能なCMOS構造の半導体集積回路装置とされる。

【0074】半導体集積回路装置に搭載されるダイナミック型メモリは、上記電源電圧 $v_{dd}$ によって動作される。しかし、この実施例の半導体集積回路装置には、ダイナミック型メモリのために、上記電源電圧 $v_{dd}$ とともに、上記電源電圧 $v_{dd}$ によって動作される電圧発生回路から発生される高電源電圧も利用される。ダイナミック型メモリにおいては、ダイナミック型メモリセルを選択するロウデコードのような回路はかかる高電源電圧にて動作され、半導体集積回路装置の内部バスBUSとの間に信号を出入りするような回路は低電源電圧 $v_{dd}$ のような電源電圧によって動作される。この構成は、ダイナミック型メモリセルに与えられる情報としての電荷量を増大させる。これにより、ダイナミック型メモリの情報保持時間特性をより良好にできる。

【0075】中央処理部CPUは、特に制限されないが、いわゆるマイクロプロセッサと同様な構成にされる。すなわち中央処理部CPUは、その詳細を図示しないけれども、その内部に命令レジスタ、命令レジスタに書込まれた命令をデコードし、各種のマイクロ命令ないしは制御信号を形成するマイクロ命令ROM、演算回路、汎用レジスタ(RG6等)、内部バスBUSに結合するバスドライバ、バスレシーバなどの入出力回路を持つ。

【0076】中央処理部CPUは、リードオンリメモリROMなどに格納されている命令を読み出し、その命令に対応する動作を行う。中央処理部CPUは、入出力回路I/Oを介して入力される外部データの取り込み、制御回路ULCに対するデータの出力、リードオンリメモリROMからの命令や命令実行のために必要となる固定データのようなデータの読み出し、D/A変換器DACへのD/A変換すべきデータの供給、A/D変換器によってA/D変換されたデータの読み出し、スタティック型メモリSRAM、ダイナミック型メモリDRAMへのデータの読み出し、書込み、DMAコントローラDMACの動作制御等を行う。制御バスCBUSは、中央処理部CPUによる図示の回路ブロックの動作制御のために利用され、またDMAコントローラDMACなどの回路ブロックからの状態指示信号を中央処理部CPUに伝えるために使用される。

【0077】中央処理部CPUは、また割り込み制御回路IVCにおける指示レジスタRG5などにセットされ

た動作制御信号を内部バスBUSを介して参照し、必要に応じて外部動作制御信号に応じて指示される動作、モードの詳細は、後述図6の論理回路CLC及び図7の機能状態図に基づいて詳細に説明する。

【0078】中央処理部CPUは、クロック発生回路CGCから発生されるシステムクロック信号C2を受けそのシステムクロック信号C2によって決められる動作タイミング、周期をもつて動作される。

【0079】中央処理部CPUは、その内部の主要部が、CMOS回路、すなわちPMOSとNMOSとからなる回路から構成される。特に制限されないが、中央処理部CPUを構成するCMOS回路は、図示しないCMOSスタック論理回路、CMOSスタックフリップフロップのようなスタティック動作可能なCMOSスタック回路と、信号出力ノードへの電荷のプリチャージと信号出力ノードへの信号出力とをシステムクロック信号C2に同期して行うようなCMOSダイナミック回路とを含む。

【0080】中央処理部CPUは、クロック発生回路CGCからのシステムクロック信号C2の供給が停止されたら、それに伴って動作停止状態にされる。停止状態において、ダイナミック回路の出力信号は、回路に生じる不所望なリーク電流によって不所望に変化されてしまう。スタックフリップフロップ回路構成のレジスタ回路のような回路は、システムクロック信号の非供給期間であっても、以前のデータを保持する。

【0081】システムクロック信号C2の非供給期間においては、中央処理部CPUの内部のスタック回路における各種ノードでの信号レベル遷移が停止され、またダイナミック回路での出力ノードでのデスチャージないしプリチャージが停止される。この状態では、動作状態のCMOS回路が消費する動作電流のような比較的大きい消費電流、すなわち各種ノード及びそれぞれにつながる配線が持つ浮遊容量、寄生容量へ信号電位を与えるように電源線から与えられるチャージ、デイスチャージ電流は、実質的にゼロとなる。このことから中央処理部CPUは、CMOS回路のリーク電流に等しいような小さい電流しか流れず、低消費電力状態となる。

【0082】割り込み制御回路IVCは、外部端子T1に負論理レベルのようなリセット信号を受け、外部端子T3を介して第1動作信号cmqを受け、外部端子T4を介して第2動作制御信号cpmqを受け、また、外部端子T2に、半導体集積回路装置の動作状態を指示する状態指示信号を出力する。割り込み制御回路IVCは、かかるリセット信号resb、動作制御信号cmq、cpmq及び状態指示信号に対応してそれぞれの位置のビットが設定されるようなレジスタRG5を持つ。状態指示信号のより詳しい図様は後述図6に基いて説明する。

【0083】レジスタRG5における状態指示信号は、内部バスBUSを介して中央処理部CPUによって更新

される。外部端子T3、T4を介してレジスタRG5にセットされた動作制御信号cmq、cpmqは、前述のように、内部バスBUSを介し中央処理部CPUによって参照される。

【0084】特に制限されないが、割り込み制御回路IVCは、その内部でダイナミック型メモリのリフレッシュ動作のための図示しないリフレッシュアドレスカウンタを持つ。割り込み制御回路IVCにおけるかかるリフレッシュアドレスカウンタは、第1、第2動作制御信号cmq、cpmqによって第1及び第3モードが指示されているなら、すなわち半導体集積回路装置に対して動作モードか、動作スタンバイモードが指示されているなら、クロック発生回路CGCからのシステムクロック信号に基づいて歩進し、周期的に更新されるリフレッシュアドレス情報形成する。

【0085】クロック発生回路CGCは、外部端子T5を介して外部クロック信号clkを受け、その外部クロック信号clkに対応した周期のシステムクロック信号C2を形成する。なお、図1では、クロック発生回路CGCと中央制御部CPUとの間の信号線が単純化されて表現されているけれども、システムクロック信号C2は、中央制御部CPU内の図示しない回路の順序立った動作のために、一般的なプロセッサに対するクロック信号と同様に、多相信号からなることと理解される。

【0086】クロック発生回路CGCによるシステムクロック信号C2の発生は、割り込み制御回路IVCからの第1及び第2動作制御信号cmq、cpmqに依存するモード信号MODE2やイニシャル動作指示信号INTL(図6参照)のような制御信号C1及び中央処理部CPUからの制御信号C3によって制御される。動作制御信号cmqによって完全スタンバイ動作が指示されたなら、中央処理部CPUによって、スタティックに保持すべきデータのスタティック型メモリSRAMへの書込み処理動作を含むような、完全スタンバイ動作へ移行するための必要な処理動作が行われ、次いで、中央処理部CPUからクロック発生回路CGCへシステムクロック発生動作停止のための制御信号C3が発生される。

【0087】動作制御信号cpmqによって動作スタンバイ動作が指示された場合は上記完全スタンバイ動作と同様に、中央処理部CPUによって、スタティックに保持すべきデータのスタティック型メモリSRAMへの書込み処理動作を含むような、動作スタンバイ動作へ移行するための必要な処理動作が行われる。この場合のその後の動作は、上記完全スタンバイ動作の場合とは異なり、中央処理部CPUからクロック発生回路CGCへシステムクロック信号の選択的出力のための制御信号C3が発生される。

【0088】すなわち、クロック発生回路CGCから割り込み制御回路IVC及びダイナミック型メモリDRAMへシステムクロック信号の供給は継続され、それ以外

の回路ブロックへのシステムクロック信号の供給は停止される。動作制御信号  $cmq$ 、 $cpmq$  が回路の動作を指示する状態に変化されたら、それに応ずる割り込み制御回路  $IVC$  からの制御信号  $C1$  によって、クロック発生回路  $CGC$  は、外部クロック信号  $clk$  に応ずるシステムクロック信号  $C2$  を発生するように制御される。

【0089】入出力回路  $I/O$  は、外部端子  $Tio1$  ないし  $Tion$  の内の所望の外部端子を介して外部から供給される信号を受け、また外部端子  $Tio1$  ないし  $Tion$  の内の所望の端子に出力すべき信号を内部バス  $BUS$  を介して受ける。入出力回路  $I/O$  は、その内部にそれぞれ  $CMOS$  スタック回路からなるような制御レジスタ  $RG4$  と明示しないデータレジスタとを持つ。

【0090】制御レジスタ  $RG4$  は、中央処理部  $CPU$  によって選択され、かつ中央処理部  $CPU$  によって、当該入出力回路  $I/O$  のための制御データ、例えば、データ入力/出力指示や高出力インピーダンス状態指示などの制御データが与えられる。データレジスタは、外部端子  $Tio1$  ないし  $Tion$  と、内部バス  $BUS$  との間のデータの転送のために利用される。外部端子  $Tio1$  ないし  $Tion$  のビット幅すなわち端子数と、内部バス  $BUS$  のビット幅が異なるような場合、データレジスタは、大きいビット幅に対応されるようなビット数を持つようにされ、中央処理部  $CPU$  による動作制御に従ってビット数変換を行う。

【0091】例えば外部端子  $Tio1$  ないし  $Tion$  の個数が 64 のような数であるのに対し、内部バス  $BUS$  のビット幅が 256 ビットのような比較的大きい数であるような場合、64 ビット単位をもって外部端子  $Tio1$  ないし  $Tion$  に次々に供給される直列データは、中央処理部  $CPU$  による直列-並列データ変換制御によってデータレジスタに順次に供給され、256 ビットのデータに変換される。逆に、内部バス  $BUS$  からデータレジスタにセットされた 256 ビットのデータは、中央処理部  $CPU$  による並列-直列データ変換制御によって、64 ビット毎に分けられて外部端子  $Tio1$  ないし  $Tion$  に順次に供給される。

【0092】入出力回路  $I/O$  の信号入力のための回路及び信号出力のための回路は、その入力及び出力動作がシステムクロック信号によって制御されるようにされる。それ故に、入出力回路  $I/O$  は、システムクロック信号が供給されなくなった時には、上記中央処理部  $CPU$  と同様に低消費電力状態にされることになる。

【0093】制御回路  $ULC$  は、電子システムの必要に応じて適宜に設けられる制御回路である。この制御回路  $ULC$  としては、例えば、ハードディスク装置におけるモータサーボコントロール、ヘッドのトラッキング制御、誤り訂正処理や、画像、音声処理における画像や音声データの圧縮伸長処理のようなような実現すべき電子システムに応じて適宜に設けられる。制御回路の  $ULC$

は、中央処理部  $CPU$  と同様にその動作がシステムクロック信号によって制御される。

【0094】リードオンリメモリ  $ROM$  は、前述のように、中央処理装置  $CPU$  によって読み出され実行されるべき命令、固定データを記憶する。

【0095】 $D/A$  変換器  $DAC$  は、内部バス  $BUS$  を介して供給されるところのアナログ信号に変換すべきデジタルデータを受けるレジスタ  $RG2$  を持ち、かかるデジタルデータに基づいてアナログ信号を形成する。レジスタ  $RG2$  は、制御回路  $ULC$  もしくは中央処理部  $CPU$  によってデジタルデータがセットされる。 $D/A$  変換器  $DAC$  の  $D/A$  変換開始タイミング、 $D/A$  変換結果の出力タイミングのような  $D/A$  変換動作は、システムクロック信号によって制御される。 $D/A$  変換器  $DAC$  によって形成されたアナログ信号は、特に制限されないが、内部バス  $BUS$  から入出力回路  $I/O$  を介して外部端子  $T1$  ないし  $Tn$  の所望の端子に供給される。尚、ここでは上記外部端子  $T1$  ないし  $Tn$  を入出力兼用端子（ピン）としているが、入力用端子と出力用端子に分離して設けてもよい。

【0096】 $D/A$  変換器  $DAC$  は、その詳細を図示しないけれども、高精度  $DA$  変換が必要とされる場合は、得べきアナログ量の基準とするような基準電圧源もしくは基準電流源を持つようにされる。かかる基準電圧源もしくは基準電流源は、一種のアナログ回路を構成するとみなされ、第 2 モード及び第 3 モード、すなわち完全スタンバイモード、及び動作スタンバイにおいて無視し得ない電流を消費してしまう危険性を持つ。それ故にそのような場合の消費電流の低減を可能にするよう、かかる基準電圧源もしくは基準電流源に対しては、上記第 2 モード、第 3 モードにおいて、スイッチオフするような  $MOSFET$  スイッチを設定される。

【0097】 $A/D$  変換器  $ADC$  は、外部端子  $T1$  ないし  $Tn$  のうちの所望の端子と入出力回路  $I/O$  と内部バス  $BUS$  を介して供給されるようなアナログ信号を受け、制御回路  $ULC$  もしくは中央処理部  $CPU$  によってその  $A/D$  変換の開始が制御され、システムクロック信号  $C2$  に従うようなクロック制御のもとで上記アナログ信号をデジタル信号に変換し、得られたデジタル信号をレジスタ  $RG1$  にセットする。

【0098】 $A/D$  変換器  $ADC$  もまた、上記  $D/A$  変換器  $DAC$  と同様に、高精度  $AD$  変換が必要とされる場合は、デジタル変換すべき量子化レベルの基準とされるような基準電圧源もしくは基準電流源を持つようにされる。 $A/D$  変換器  $ADC$  におけるかかる基準電圧源もしくは基準電流源もまた完全スタンバイモード、及び動作スタンバイモードにおいて無視し得ない電流を消費する危険性を持つ。それ故にその場合には、上記同様な  $MOSFET$  スイッチが、かかる基準電圧源もしくは基準電流源に適用される。

【0099】スタティック型メモリSRAMは、そのメモリセルとして、その詳細は図示しないが、CMOSスタティック型メモリセル。すなわちCMOSラッチ回路とそれに対するデータ入出力のための一対の伝送デモトMOSFETとからなるような構成のメモリセルを持つ。CMOSスタティック型メモリセルは、スタティックに情報を保持し、かつ情報保持のために、著しく小さい動作電流しか必要ないという特徴を持つ。

【0100】かかるスタティック型メモリSRAMは、実質上は、CMOSスタティック型ランダム・アクセス・メモリを構成するようにされる。すなわち、スタティック型メモリSRAMは、マトリクス配置の複数のCMOSスタティック型メモリセルからなるメモリアレイと、内部バスBUSを介して供給されるようなワードアドレス信号をデコードしそれによってメモリアレイにおけるワード線を選択するワードアドレス・デコード・ドライバ回路と、ワードアドレス信号をデコードしそれによってワード線を選択するワードアドレス・デコード回路と、かかるワード・デコード信号によって動作されるメモリアレイにおけるデータ線を選択しそれを共通データ線に結合させるワードスイッチ回路と、共通データ線に結合された入出力回路と、読み出し書き込み制御回路とを含む構成とされる。

【0101】メモリアレイに関連するかかるアドレス・デコード・ドライバ回路のような回路すなわちメモリアレイ周辺回路は、CMOSスタティック回路から構成される。それ故に、スタティック型メモリセルSRAMは、読み出し、書き込み動作が行われない情報保持動作のみだけでなく、比較的低消費電力状態に置かれることとなる。なお、CMOSスタティック型メモリは、メモリセルサイズが比較的大きくなってしまおうという考慮すべき特徴を持ち、大きな記憶容量にすることが比較的困難である。

【0102】DMAコントローラ、すなわちダイレクト・メモリ・アクセス・コントローラDMACは、中央処理部CPUによってその動作が制御され、中央処理部CPUによって指示された回路ブロック間の内部バスBUSを介するデータ転送を、中央処理部CPUになり代わって制御する。DMAコントローラDMACの詳細は、独立の半導体集積回路装置として構成されるDMAコントローラと実質的に同じ構成にされるので更にの詳細な説明は行わないが、その内部のレジスタRG7等に、中央処理部CPUによってセットされる転送元情報、転送先情報、データ転送量情報等の設定情報に基づいて、データ転送制御を行う。

【0103】ダイナミック型メモリDRAMは、そのメモリセルすなわちダイナミック型メモリセルが、典型的には、電荷の形態をもって情報を蓄積する情報蓄積用キャパシタと、選択用MOSFETとからなるような少な

い数の素子からなり、比較的小さいメモリセルサイズにされる。それ故に、ダイナミック型メモリは、大記憶容量であってもその全体のサイズを比較的小さくすることができる。

【0104】ダイナミック型メモリDRAMは、それがその記憶容量にかかわらずに比較的小さいサイズをもって構成されるから、他の回路ブロックとを搭載する半導体基板は、比較的小さいサイズにされる。これに依じた利点も期待できる。すなわち、半導体基板のサイズは、得べき半導体集積回路装置の電気的性能、熱的、機械的ストレスに関係するよう信頼性、製造歩留まり、価格等々にも影響を及ぼすものであり、小さい方が有利である。比較的小さいサイズの半導体基板に大容量のメモリとともに複数の回路ブロックを搭載可能となることによって、更に優れた性能の電子システムを実現を可能とする半導体集積回路装置を提供することができるようになる。

【0105】上に説明したような構成の半導体集積回路装置は、外部端子T3に供給される第1動作制御信号cmqによって完全スタンバイ動作が指示されたなら、クロック発生回路CGCの動作停止によってシステムクロック信号C2が発生されなくなること、及びまた全体として低消費電力状態にされることになる。

【0106】また、外部端子T4に供給される第2動作制御信号cpmqによって動作スタンバイ動作が指示されたなら、クロック発生回路CGCの出力の選択的出力によって、ダイナミック型メモリのリフレッシュ動作に関係する回路部分が動作状態に置かれるが、図示の多くの回路ブロックが非活性状態に置かれることになる。それ故に、半導体集積回路装置は、比較的低い消費電力状態に置かれる。

【0107】この実施例では、低電圧電源動作可能なCMOS半導体集積回路装置を好適に制御可能とするため、基板バイアス制御回路VBBCが設けられる。基板バイアス制御回路VBBCは、半導体集積回路装置に供給される外部電源電圧によって動作されるチャージポンプ回路と整流回路とからなるような電圧発生回路を含み、それ自体で外部電源電圧範囲を超える正及び負のバイアス電圧を形成するとともに、基板バイアス制御信号をも形成するようにされる。

【0108】基板バイアス制御回路VBBCは、図示の他の回路ブロックがそれぞれモジュールないしは機能単位を構成するように構成されるとともに、それ自体で実質上の一つの回路ブロックを構成するようにされる。

【0109】半導体集積回路装置は、該基板バイアス制御回路VBBCにつながり、各回路ブロックにつながる配線VL&CLが設けられる。上記の配線VL&CLは、各種の基板バイアス電位を各回路ブロックを構成するMOSFET（絶縁ゲート電界効果トランジスタ）の基板へ供給するための複数の電源線と、各回路ブロック

のモード設定のための各種制御信号を配信するための信号線を含む。

【0110】上記配線VL&CLのうち、クロック発生回路CGCからCPUに伝えられるようなクロックC2、割り込み制御回路に伝えられるクロックC1を含んで、各機能ブロックの動作に必要なクロックを伝達させるクロック配線は、前記実施例のように論理的に同一周波数、同位相であるクロックを隣り合わせて設けられる。異なる周波数や位相で動作するクロックが複数ある場合、周波数/位相の同じクロックが隣り合うようにグループ化して配線される。配線の長さ、使用するメタル層が統一される。他の配線のクロック線への影響を小さくすため、同じタイミングで変化するダミー配線が隣り合うようレイアウトされ、あるいはグループ化したクロック配線と他の配線のスペースを広げるようにされる。

【0111】上記の実施例から得られる作用効果は、下記の通りである。

(1) クロック供給回路で形成されたクロックを受けて動作する論理回路を含む論理ブロックを備えた半導体集積回路装置において、上記クロック供給回路と上記論理ブロックに至るまでのクロック配線経路として並行して延長され、同じクロックが伝えられる少なくとも2つの配線経路とを設け、上記クロック供給回路に上記クロック配線に対してそれぞれ独立したクロック駆動回路を設け、上記論理ブロックには上記クロック配線に対してそれぞれ独立したクロック入力回路を設けることにより、クロックの高速伝達を実現することができるという効果が得られる。

【0112】(2) 上記に加えて、上記論理ブロックを複数の機能ブロックで構成し、上記クロック供給回路を上記複数の機能ブロックに対して共通に用い、上記少なくとも2つの配線経路を上記複数の機能ブロックのうち半導体基板上に隣接して配置される少なくとも2つの機能ブロックに対して並行して延長させる部分とを設け、ことにより、少ない配線数及びクロック駆動回路によりクロックの高速伝達が可能になるといふ効果が得られる。

【0113】(3) 上記に加えて、上記少なくとも2つの配線経路の伝達経路の配線長さの差が小さくなるようにいずれか1以上に迂回経路を持たせることにより、クロックスキューを低減させることができるという効果が得られる。

【0114】(4) 上記に加えて、上記論理ブロックを複数の機能ブロックで構成し、上記複数の機能ブロックのそれぞれが所望の信号処理能力を持つようになるとともに、上記クロック供給回路から上記複数の機能ブロックのそれぞれに対して並行に延長される少なくとも2つの配線経路を設けることにより、クロックの高速伝達が可能になるといふ効果が得られる。

【0115】(5) 上記に加えて、上記クロック供給回路より第1クロックと、それに対して周波数が1/N

に分周された第2クロックとを形成し、上記クロック供給回路から複数の第1論理ブロックに至るまでの第1クロック配線経路として並行に延長される部分を含む少なくとも2つの配線経路を設け、上記クロック供給回路から上記複数の第2論理ブロックに至るまでの第2クロック配線経路として並行に延長される部分を含む少なくとも2つの配線経路を設けることにより、上記複数の第1論理ブロック及び第2論理ブロックのそれぞれにおいてクロックの高速伝達が可能となり、第1論理ブロックと第2論理ブロック間のデータ授受のタイミングマージンを大きくすることができるという効果が得られる。

【0116】(6) 上記に加えて、上記クロック供給回路により、第1クロックとそれに対して周波数が1/Nに分周された第2クロックを形成し、第1クロックと第2クロックとをそれぞれに対応した複数の機能ブロックのそれぞれに対して並行に延長される少なくとも2つの配線経路を設けることにより、クロックの高速伝達が可能になり、第1論理ブロックと第2論理ブロック間のデータ授受のタイミングマージンをいっそう大きくすることができるという効果が得られる。

【0117】(7) 上記に加えて、上記第1クロックを伝える第1配線と上記第2クロックを伝える第2配線とを並行して延長し、上記第1クロックの第1配線と第2配線の間には、上記第1及び第2配線に対して第3と第4配線を並行して延長し、上記第1配線に隣接した第3配線には上記第1クロックを伝え、上記第2配線に隣接した第4配線には上記第2クロックを伝えることにより、第1クロックと第2クロック間での相互干渉が低減されてクロックの高速伝達が可能になるとともに、クロック配線を集中して配置させることができるという効果が得られる。

【0118】(8) 上記に加えて、上記機能ブロックを1つの半導体基板上に形成される1チップのマイクロコンピュータシステムを構成するものとし、それぞれが独立して動作可能とされる信号処理回路とすることにより、動作の高速化が可能になるとともに、クロック入力部でのクロック停止機能を簡単に付加することができるので低消費電力化を図ることができるという効果が得られる。

【0119】(9) 上記に加えて、上記論理ブロックをゲートアレイで構成された一定のエリアに配置された論理ゲート群とするものとし、上記クロック供給回路を、半導体基板の中心部に設け、各論理ゲート群と間のクロック供給経路が互いに等長となるように配置することにより、論理ゲート群の高速化と論理ゲート群相互でのデータ授受のタイミングマージンを大きくすることができるという効果が得られる。

【0120】(10) 上記に加えて、複数ビットの単位で読み出し信号をクロックに対応して増幅する増幅回路を有するメモリ回路に適用し、上記クロック供給回路

により上記メモリ回路の増幅回路の動作に必要なクロック信号を供給するものとするにより、メモリ回路の動作の高速化が可能になるという効果が得られる。

【0121】以上本発明者よりなされた発明を実施例に基づき具体的に説明したが、本願発明は前記実施例に限られるものではなく、その要旨を逸脱しない範囲で種々変更可能であることはいうまでもない。例えば、前記論理ブロックは、マイクロコンピュータを構成する機能ブロック、ASICのような特定用途ICにおける機能ブロックあるいはマクロセル、ゲートアレイでの論理グループ群及びメモリ回路での増幅回路等、クロックにより動作する回路を含む一定の大きさを持つ回路群であれば何でもあってもよい。

【0122】クロック供給回路は、前記1相のクロックであること、2相あるいは3相等のクロックであってもよい。この場合、2相或いは3相クロックは、同一周波数でも同位相にはならないので同種類のクロックとは見做されず、これらのクロックを伝達するクロック配線はそれぞれが隣り合うようにグループ化して配線され、このようにグループ化したクロック配線相互の間には、スペースを広げるようにするか、あるいはシールドクロック配線が設けられる。この発明は、クロックにより動作する論理ブロックや増幅回路を含む各種半導体集積回路装置に広く利用することができる。

#### 【0123】

【発明の効果】本願において開示される発明のうち代表的なものによって得られる効果を簡単に説明すれば、下記の通りである。クロック供給回路で形成されたクロックを受けて動作する論理回路を含む論理ブロックを備えた半導体集積回路装置において、上記クロック供給回路と上記論理ブロックに至るまでのクロック配線経路として並行して延長され、同じクロックが伝えられる少なくとも2つの配線経路とを設け、上記クロック供給回路に上記クロック配線に対してそれぞれ独立したクロック駆動回路を設け、上記論理ブロックには上記クロック配線に対してそれぞれ独立したクロック入力回路を設けることにより、クロックの高速伝達を実現することができる。

#### 【図面の簡単な説明】

【図1】この発明に係る半導体集積回路装置におけるクロック系回路の一実施例を示すブロック図である。

【図2】この発明に係る半導体集積回路装置におけるクロック系回路の一実施例を示す配線配置図である。

【図3】この発明に係る半導体集積回路装置の一実施例を示すブロック図である。

【図4】この発明に係る半導体集積回路装置の他の一実施例を示すブロック図である。

【図5】この発明に係る半導体集積回路装置に設けられるクロックパルスジェネレータの一実施例を示すブロック図である。

【図6】この発明に係るクロック駆動回路の他の一実施例を示す回路図である。

【図7】この発明が適用されるシングルチップマイクロコンピュータの一実施例を示すブロック図である。

【図8】この発明が適用されたダイナミック型SRAMの一実施例を示す全体概略レイアウト図である。

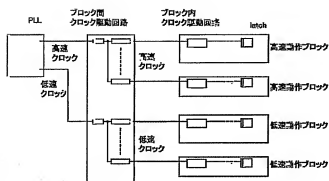
【図9】本発明に係る半導体集積回路装置の他の一実施例を示す全体の回路ブロック図である。

#### 【符号の説明】

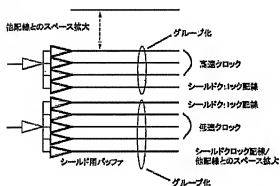
1…半導体チップ、2a~2c…高速動作回路ブロック、4a~4d…低速動作回路ブロック、5…CPG、6…ブロック間クロック駆動回路群、7…ブロック内クロック駆動回路、8a…高速クロック信号、8b…低速クロック信号、9…グループ化、12…クロック入力ピン、13…マスキングクロックドライバ群、14…サブクロックドライバ群、15…グループ化、10…メモリチップ、101…アレイ制御回路、102…メインワードドライバ、103…カラムデコード、104…中央部分、105…メインアンプ、106…コントロール回路、CPU…中央処理装置、DMAC…直接メモリアクセス制御装置、MULT…乗算器、AB1、DB1…第1バス、TGA…タグメモリ、CAC…キャッシュコントローラ、CDM…データメモリ、DIVU…除算器、INTC…割り込み制御回路、UBC…ブレークコントローラ、AB2、DB2…第2バス、AB3、DB3…第3バス、SCI…シリアルコミュニケーションインターフェイス、FRT…フリーランニングタイマ、WDT…ウォッチドッグタイマ、MC…動作モードコントローラ、CPG…クロックパルスジェネレータ、BSC…バスステートコントローラ、CHIP…半導体集積回路装置、ULC…制御回路、VBBC…基板バイアス制御回路、I/O…入出力回路、ROM…リードオンリーメモリ、DAC…D/A変換器、ADC…A/D変換器、DRAM…ダイナミックメモリ、SRAM…スタティックメモリ、SPMC…システムパワーマネジメント回路、IVC…割込制御回路、CGC…クロック発生回路。



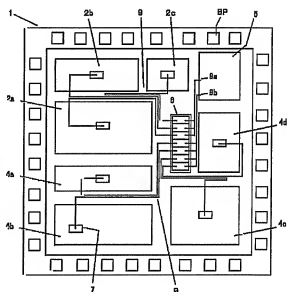
【図1】



【図2】

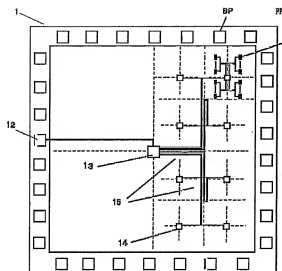


【図3】



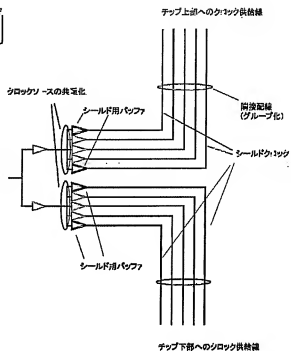
- 1: 半導体チップ
- 2a~2c: 高速動作回路ブロック (CPU, DSP, MPU)
- 4a~4d: 低速動作回路ブロック (タイマ、シリアル、I/O)
- 3: I/O (クロックバスコントローラ)
- 5: ブロック間クロック駆動回路
- 7: ブロック内クロック駆動回路
- 8a: 高速 クロック信号
- 8b: 低速 クロック信号
- 9: ブロック間クロック信号(グループ化)

【図4】

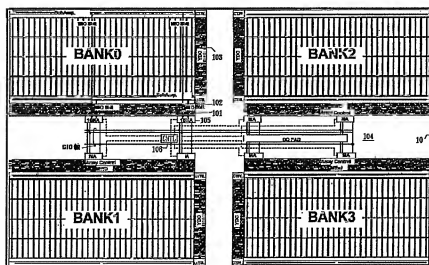


- 1: 電源供給タップ  
 12: クロック入力パッド  
 13: マスシクロックドライバ1群  
 14: サブクロックドライバ群  
 15: クロック信号配線(グループ化)

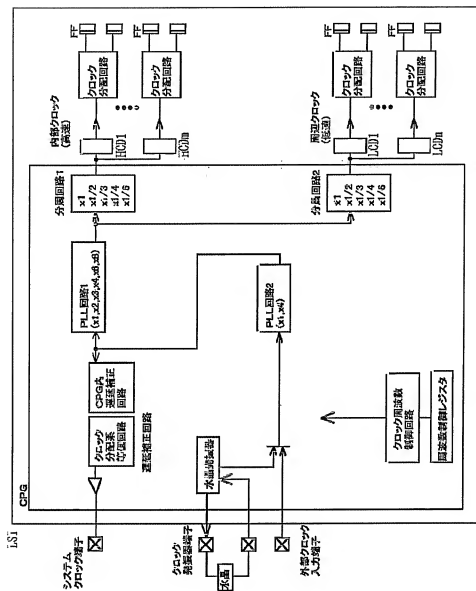
【図6】



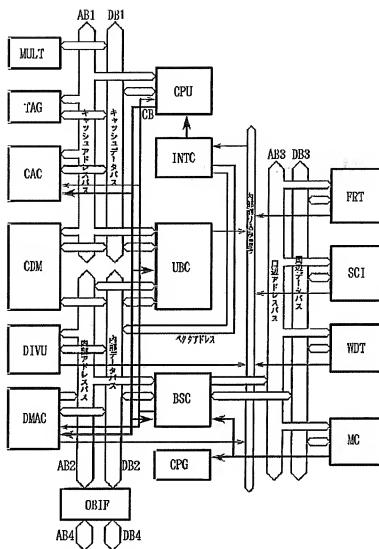
【図8】



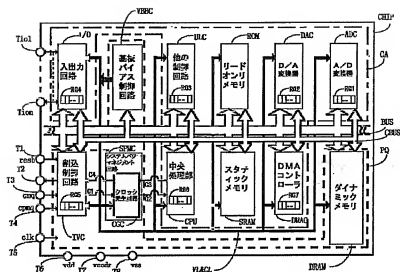
【図5】



【図7】



【図9】



フロントページの続き

(51)Int.Cl. <sup>7</sup>	識別記号	F I	(参考)
G 1 1 C 11/41		G 1 1 C 11/34	3 5 4 C 5 F 0 6 4
11/407			3 6 2 S
11/401			3 7 1 K
H 0 1 L 21/82		H 0 1 L 21/82	W
		27/04	U

(72)発明者 星 聡  
 東京都小平市上水本町五丁目20番1号 株  
 式会社日立製作所半導体グループ内

Fターム(参考) 5B015 JJ21 KB84 NN03 PP02  
 5B024 AA15 BA21 CA07 CA21 CA27  
 5B062 AA03 CC01 HH01  
 5B079 BA20 BC03 CC04 CC14 DD08  
 DD13 DD20  
 5F038 AV06 BH10 BH19 CA03 CA04  
 CD06 CD07 CD08 CD09 DF08  
 DF11 EZ20  
 5F064 AA03 AA04 BB09 BB12 BB19  
 BB26 DD04 EE08 EE14 EE15  
 EE16 EE46 EE47 EE54